

(43)Date of publication of application : 14.09.2000

(51)Int.Cl. H03G 3/20
H04B 10/14
H04B 10/06
H04B 10/04
H04B 10/28
H04B 10/26

(21)Application number : 11-050143
(22)Date of filing : 26.02.1999

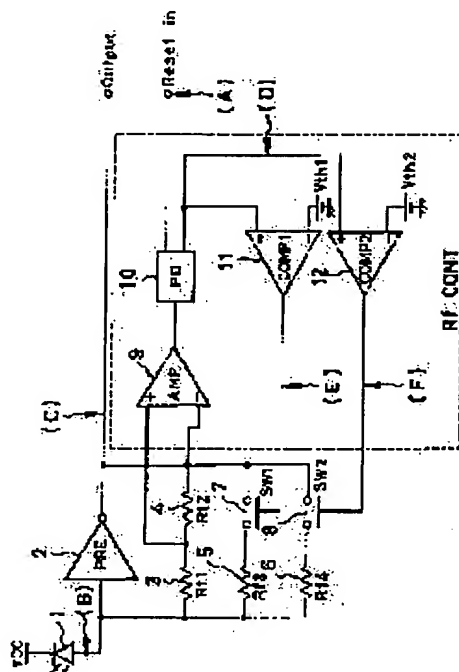
(71)Applicant : NEC CORP
(72)Inventor : ONO HIROSHI

(54) BURST-MODE OPTICAL RECEIVING CIRCUIT WITH AGC

(57)Abstract:

PROBLEM TO BE SOLVED: To actualize high-speed response adaptive to burst reception and to the optical receiving circuit with a wide dynamic range by digitally deciding the reception level with one start bit of the preamble bits of a burst signal and digitally switching and controlling the resistance values of feedback resistances of a preamplifier.

SOLUTION: The reception level is digitally decided with one start bit of the preamble bits of the burst signal and the resistance value of the feedback resistance of the preamplifier is digitally switched and controlled. For example, the preamplifier 2 is provided with a 1st feedback resistance ($R_{f1}+R_{f2}$), a 2nd feedback resistance R_{f3} , and a 3rd feedback resistance R_{f4} . The 2nd and 3rd feedback resistances R_{f3} and R_{f4} are connected between the input and output terminals of the preamplifier 2 through 1st and 2nd switches 7 and 8 respectively. Then the gain of the preamplifier 2 is switched and controlled by turning on and off the 1st and 2nd switches 7 and 8.



LEGAL STATUS

[Date of request for examination] 24.03.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3259707

[Date of registration] 14.12.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-252774

(P 2 0 0 0 - 2 5 2 7 7 4 A)

(43)公開日 平成12年9月14日(2000.9.14)

(51)Int.Cl.

識別記号

F I

テ-マ-ト (参考)

H03G 3/20

H03G 3/20

C 5J100

H04B 10/14

H04B 9/00

S 5K002

10/06

Y

10/04

10/28

審査請求 有 請求項の数 7 O L (全 7 頁) 最終頁に続く

(21)出願番号 特願平11-50143

(22)出願日 平成11年2月26日(1999.2.26)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 大野 浩

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100080816

弁理士 加藤 朝道

Fターム(参考) 5J100 BC05 JA01 KA05 LA00 LA09

LA10 QA01 SA02

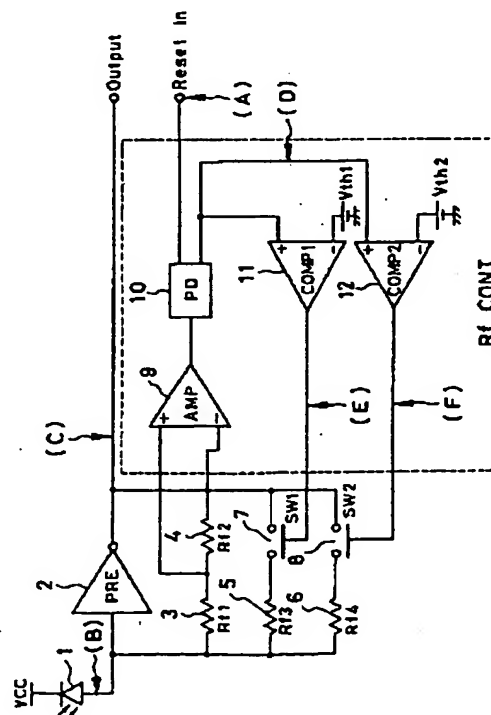
5K002 AA03 CA03 CA10 DA05

(54)【発明の名称】 A G C付きバーストモード光受信回路

(57)【要約】

【課題】 バースト受信対応の高速応答を実現するとともに、広ダイナミックレンジの光受信回路の提供。

【解決手段】 受光素子の光検出電流を電圧に変換する前置増幅器の出力端と入力端との間に接続される第1の帰還抵抗と、第1の帰還抵抗と並列に、前置増幅器の出力端と入力端との間に、互いに直列接続された抵抗とスイッチよりなる組が複数接続され、第1の帰還抵抗が直列接続された複数の抵抗に分割されており、前置増幅器の出力端と複数の抵抗のうちの一つの抵抗の一端との端子間電圧を差動入力する差動増幅器と、差動増幅器の出力電圧を入力しそのピーク値を検出及び保持するピーク検出器と、ピーク検出器から出力されるピーク値を入力としそれぞれ互いに異なる閾値と比較する複数の比較器を備え、複数の比較器の出力が複数のスイッチの制御端子に接続され、スイッチのオン・オフがそれぞれ制御される。



【特許請求の範囲】

【請求項1】入力端と出力端との間に帰還抵抗が接続され受光素子から前記入力端に供給される光検出電流を電圧に変換する増幅器を備え、前記帰還抵抗が、互いに並列に接続され、スイッチにより前記増幅器の入力端と出力端への接続が選択される抵抗を含み、前記増幅器の前記帰還抵抗から得られる端子電圧のピーク値を所定の閾値と比較し前記比較結果に基づき前記スイッチをオン・オフして前記増幅器の利得を可変制御する手段を備えたことを特徴とする光受信回路。

【請求項2】前記帰還抵抗が、前記増幅器の入力端と出力端との間に直列接続されている少なくとも第1、第2の抵抗を含み、前記出力端と前記第2の抵抗の一端との接続点と、前記第2の抵抗の他端との間の端子間電圧についてそのピーク値を所定の閾値と比較し記比較結果に基づき前記スイッチをオン・オフして前記増幅器の利得を可変制御することを特徴とする請求項1記載の光受信回路。

【請求項3】入力端と出力端との間に第1の帰還抵抗が接続され、受光素子から前記入力端に入力される光検出電流を電圧に変換する増幅器を備え、前記第1の帰還抵抗と並列に、前記増幅器の出力端と入力端との間に、互いに直列接続された抵抗とスイッチよりなる回路が1又は複数接続され、前記増幅器の出力端と前記第1の帰還抵抗をなす抵抗の端子電圧を差動入力する差動増幅器と、前記差動増幅器の出力電圧を入力しそのピーク値を検出及び保持するピーク検出器と、前記ピーク検出器から出力されるピーク値を入力とし、予め定められた所定の閾値とそれぞれ比較する1又は複数の比較器と、を備え、前記1又は複数の比較器の出力が前記1又は複数のスイッチの制御端子にそれぞれ接続され、前記スイッチのオン・オフが制御される、ことを特徴とする光受信回路。

【請求項4】入力端と出力端との間に第1の帰還抵抗が接続され、受光素子から前記入力端に入力される光検出電流を電圧に変換する増幅器を備え、前記第1の帰還抵抗と並列に、前記増幅器の出力端と入力端との間に、互いに直列接続された抵抗とスイッチよりなる回路が1又は複数接続され、前記第1の帰還抵抗が直列接続された複数の抵抗に分割されており、前記増幅器の出力端と前記複数の抵抗のうちの一つの抵抗の一端との端子間電圧を差動入力する差動増幅器と、前記差動増幅器の出力電圧を入力し、そのピーク値を検出及び保持するピーク検出器と、前記ピーク検出器から出力されるピーク値を入力とし、予め定められた所定の閾値と比較する1又は複数の比較器と、を備え、

前記1又は複数の比較器の出力が前記1又は複数のスイッチの制御端子に接続され、前記スイッチのオン・オフが制御される、ことを特徴とする光受信回路。

【請求項5】前記スイッチと前記抵抗よりなる回路が複数、前記第1の帰還抵抗と並列に前記前置増幅器の出力端と入力端との間に接続され、前記回路の数に等しい数の前記比較器を備え、前記各比較器に供給される各閾値のレベルが互いに異なっている、ことを特徴とする請求項3又は4記載の光受信回路。

【請求項6】リセット時には、前記スイッチがすべてオフ状態とされており、前記各比較器は、前記ピーク検出器の出力が自比較器に入力される閾値を上回ったときに前記各比較器の出力に接続される前記スイッチをオン状態とする信号を出力し、前記増幅器の入力端と出力端の間に接続される帰還抵抗の抵抗値を可変させてゲインを可変制御する、ことを特徴とする請求項3乃至5のいずれかに記載の光受信回路。

【請求項7】受信バースト信号のプリアンプビットの先頭の1ビットで前記ピーク検出器及び前記比較器が作動する、ことを特徴とする請求項3乃至6のいずれかに記載の光受信回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光信号を受信して出力信号電圧を出力する光受信回路に関し、特にバースト信号を送受信するPDS（パッシブダブルスター）システムに用いて好適な光受信回路に関する。

【0002】

【従来の技術】バースト信号の送受信を行うPDSシステムにおいては、受信回路に要求される性能として、バースト信号に対する高速応答動作が要求される。

【0003】また光カプラを用いたスター型ネットワーク上の遠距離及び近距離さまざまに位置する子局からバースト信号を受信するため、広ダイナミックレンジ化が要求される。

【0004】さらに、光受信回路の後段に接続されるクロックリカバリ（デジタルPLL（位相同期ループ）回路）に対して、高速引き込みや引き込みエラーを無くすために、受信データのデューティ（Duty）劣化を抑える必要がある。

【0005】

【発明が解決しようとする課題】従来、広ダイナミックレンジ化に対しては、連続信号を扱った受信回路として、アナログ回路で構成されたフィードバック型AGC（Auto Gain Control；自動利得制御）回路が用いられてきたが、このアナログ方式のAGC回路は、ループ時定数の制約で、高速応答には限界があり、バースト信号の光受信回路のAGC回路に用いることはできない。

【0006】このため、バースト受信対応の高速応答を

実現するとともに、広ダイナミックレンジの光受信回路の開発が要望されている。

【0007】なお、高速かつ広いダイナミックレンジを持つバースト光受信回路として、特開平8-102716号公報には、受光素子で受信された光信号が前置増幅器で電流-電圧変換され、抵抗を介して第1の差動増幅器の一端の入力端に入力され、第1の差動増幅器の正相及び逆相出力は2つのピーク検出器にそれぞれ入力され、バースト信号のピーク値を検出・保持し、このピーク値の差を第2の差動増幅器でとったものをローパスフィルタにて平滑化し、抵抗を介して第1の差動増幅器の第2の入力端に入力される構成とした光受信回路が提案されている。本発明は、この光受信回路とは全く相違した回路構成により、ダイナミックレンジをさらに広くし、高速応答動作を実現するものである。

【0008】このように本発明は、上記課題の認識に基づき創案されたものであって、その目的は、バースト受信対応の高速応答を実現するとともに、広ダイナミックレンジの光受信回路を提供することにある。

【0009】

【課題を解決するための手段】前記目的を達成する本発明は、バーストデータのプリアンプビットのしかも先頭の1ビットで受信レベルをデジタル的に判別してプリアンプの帰還抵抗の抵抗値をデジタル的に切り替えるようにしたものである。より詳細には、受光素子の光検出電流を電圧に変換する前置増幅器の出力端と入力端との間に接続される第1の帰還抵抗と、前記第1の帰還抵抗と並列に、前置増幅器の出力端と入力端との間に、互いに直列接続された抵抗とスイッチよりなる組が複数接続され、前置増幅器の出力端と前記第1の帰還抵抗をなす抵抗の端子電圧を差動入力する差動増幅器と、前記差動増幅器の出力電圧を入力しそのピーク値を検出及び保持するピーク検出器を備え、前記ピーク検出器から出力されるピーク値を入力とし、それぞれ互いに異なる閾値と比較する複数の比較器を備え、前記複数の比較器の出力が前記複数のスイッチの制御端子に接続され、前記複数のスイッチのオン・オフがそれぞれ制御される。

【0010】

【発明の実施の形態】本発明の実施の形態について説明する。加入者系への光伝送システム拡大に伴い、パッシブダブルスター(PDS)システムが実用化が始まっており、光スターカブラを用いたPDSシステムでは、光受信器には、広ダイナミックレンジと共に、バースト信号に対する高速応答が要求される。

【0011】本発明の光受信回路は、これらの要求を満足するため、受光素子の光検出電流を電圧に変換する前置増幅器の出力端と入力端との間に接続される第1の帰還抵抗と、前記第1の帰還抵抗と並列に、前置増幅器の出力端と入力端との間に、互いに直列接続された抵抗とスイッチよりなる組が1又は複数接続され、前記第1の

帰還抵抗が直列接続された複数の抵抗に分割されており、前記前置増幅器の出力端と前記複数の抵抗のうちの一つの抵抗の一端との端子間電圧を差動入力する差動増幅器と、前記差動増幅器の出力電圧を入力し、そのピーク値を検出及び保持するピーク検出器と、前記ピーク検出器から出力されるピーク値を入力とし、閾値と比較する1又は複数の比較器を備え、前記1又は複数の比較器の出力が前記1又は複数のスイッチの制御端子に接続され、前記スイッチのオン・オフがそれぞれ制御される。そして、抵抗とスイッチよりなる回路を複数組備え、これに対応させて比較器を複数備える場合、各比較器の閾値の値は互いに異なるものとされる。

【0012】リセット時には、前記スイッチがすべてオフ状態とされており、前記各比較器は、前記ピーク検出器の出力が自比較器に入力される閾値を上回ったときに前記各比較器の出力に接続される前記スイッチをオン状態とする信号を出力し、前記前置増幅器の入力端と出力端の間に接続される帰還抵抗の抵抗値を可変させてゲインを可変制御する。

【0013】受信バースト信号のプリアンプビットの先頭の1ビットで前記ピーク検出器及び前記比較器が作動する。

【0014】本発明の一実施の形態について図1を参照して説明すると、まずプリアンプ(2)の出力端と入力端には、直列接続された二つの抵抗よりなる第1の帰還抵抗($R_{f1} + R_{f2}$)、第2の帰還抵抗(R_{f3})、第3の帰還抵抗(R_{f4})よりなる3つの帰還抵抗が並列接続され、第2、第3の帰還抵抗はそれぞれ第1、第2のスイッチ(7、8)を介して(2)の出力端と入力端に接続されており、第1、第2のスイッチ(7、8)のオン・オフを制御することにより、スイッチのオン・オフの組合せにより、帰還抵抗の抵抗値は、 $R_1 = R_{f1} + R_{f2}$ 、 $R_2 = R_1 \times R_{f3} / (R_1 + R_{f3})$ 、 $R_3 = R_2 \times R_{f4} / (R_2 + R_{f4})$ の3値をとり、帰還抵抗の値をデジタル的に可変させることで、プリアンプ2のゲインを多値に切り替え、ダイナミックレンジを拡大している。

【0015】さらに高速応答を実現するには、第1、第2のスイッチ(7、8)を、バースト受信後、瞬時に制御する必要がある。本発明の一実施例では、このための工夫として、まずプリアンプ(2)の帰還抵抗として、第1の帰還抵抗を二つの抵抗 R_{f1} と R_{f2} に分割し、信号レベルの変化を検出しやすい変化の範囲でとらえるために、抵抗 R_{f2} の抵抗値を小さくし、この抵抗 R_{f2} の端子間電圧を、アンプ(9)で差動増幅し、アンプ(9)の出力を入力するピークディテクタ10でピーク値を検出する。

【0016】ピークディテクタ(10)は、このピーク値は、バースト受信時の間は、ピーク値を保持している。そして、ピーク値の電圧レベルは、第1のコンパレ

ータ (11) の一の入力端と第 2 のコンパレータ (12) の一の入力端に入力され、それぞれ異なる閾値 V_{th1} と V_{th2} と比較される。

【0017】第 1 のコンパレータ (11) の出力は第 1 のスイッチ (7) の制御端子に接続され、第 1 のコンパレータ (11) でピーク電圧を閾値 V_{th1} を比較した結果、ピーク電圧の方が閾値 V_{th1} よりも大きい場合には、第 1 のスイッチ (7) がオンする。

【0018】第 2 のコンパレータ (12) の出力は第 2 のスイッチ 7 の制御端子に接続され、第 2 のコンパレータ (12) でピーク電圧を閾値 V_{th2} を比較した結果、ピーク電圧の方が閾値 V_{th2} よりも大きい場合には、第 2 のスイッチ (7) がオンする。

【0019】この AGC 制御動作が、バースト受信データの先頭ビットで行われ、高速応答を実現している。

【0020】プリアンプ (2) のゲインは、バースト信号期間中は保持され、バースト信号終了後、外部からリセット信号が入力されることにより、初期状態にもどり、再び最大ゲインにて待機状態となる。

【0021】

【実施例】本発明の実施例について図面を参照して以下に説明する。図 1 は、本発明の一実施例の構成を示す図である。

【0022】カソードが電源に接続されアノードがアンプ 2 の入力端に接続されたフォトダイオード 1 は、受信した光パワーに応じた電流を出力する。アンプ 2 は、光通信用受信回路として一般的に用いられるプリアンプ (前置増幅器) であり、入力端と出力端間を帰還抵抗で接続することにより、フォトダイオード 1 から入力された電流を電圧に変換して出力する。

【0023】本発明の一実施例では、帰還抵抗として、アンプ 2 の入力端と出力端間に直列接続された抵抗 3 (R_{f1})、抵抗 4 (R_{f2}) よりなる第 1 の帰還抵抗と、これと並列に、抵抗 5 (R_{f3}) よりなる第 2 の帰還抵抗と、抵抗 6 (R_{f4}) よりなる第 3 の帰還抵抗が接続されており、抵抗 5 (R_{f3}) の一端はアンプ 2 の入力端に接続され、抵抗 5 (R_{f3}) の他端とアンプ 2 の出力端との間には第 1 のスイッチ 7 (SW1) が接続され、抵抗 6 (R_{f4}) の一端はアンプ 2 の入力端に接続され、抵抗 6 (R_{f4}) の他端とアンプ 2 の出力端との間には第 2 のスイッチ 8 (SW2) が接続されている。

【0024】リセット後、フォトダイオード 1 に光信号が入力された時、第 1 のスイッチ 7 (SW1) と第 2 のスイッチ 8 (SW2) は共にオフ状態とされており、このためプリアンプ 2 の帰還抵抗としては、第 1 の帰還抵抗 ($R_{f1} + R_{f2}$) のみが接続される。

【0025】フォトダイオード 1 に光信号が入力され、フォトダイオード 1 から電流が出力された場合、プリアンプ 2 の第 1 の帰還抵抗をなす抵抗 3 (R_{f2}) の端子

間には、 $R_{f2} \times$ 電流分の電圧降下が生じる。

【0026】抵抗 3 (R_{f2}) の両端は、アンプ 9 に差動入力端に接続されており、抵抗 3 (R_{f2}) の端子間電圧がアンプ 9 で差動増幅され、アンプ 9 の出力電圧がピークディテクタ 10 に入力され、ピーク値が検出、及び保持される。

【0027】ピーク値の電圧は、それぞれ第 1 のコンパレータ 11 と第 2 のコンパレータ 12 に入力され、それぞれ、閾値 V_{th1} と V_{th2} と比較される。第 1 のコンパレータ 11 と第 2 のコンパレータ 12 の出力は、第 1 のスイッチ 7 と第 2 のスイッチ 8 の制御端子にそれぞれ接続され、第 1 のスイッチ 7 と第 2 のスイッチ 8 のオン・オフを制御する。

【0028】本発明の一実施例の動作について説明する。図 2 乃至図 4 は、それぞれ、光受信レベルが小さい時、中くらいの時、大きい時のそれぞれの場合の動作について、図 1 の各部の信号波形を示すタイミング波形図である。図 2 乃至図 4 において、(A) は、図 1 のリセット信号 (Reset In)、(B) はフォトダイオード 1 の出力電流、(C) はプリアンプ 2 の出力端に接続した出力端子 (Output) 電圧、(D) はピークディテクタ 10 の出力電圧、(E) は第 1 のコンパレータ 11 の出力電圧、(F) は第 1 のコンパレータ 11 の出力電圧をそれぞれ示している。

【0029】図 2 の信号波形図を参照して、本発明の一実施例の動作について説明する。

【0030】初期状態ではリセット信号 (A) がアクティブとされ、第 1、第 2 のスイッチ 7、8 はともにオフ状態の受信レベル領域では、プリアンプ 2 の入力端と出力端に接続される帰還抵抗としては第 1 の帰還抵抗 ($R_{f1} + R_{f2}$) だけとなり、ゲインは最大となっている。

【0031】光入力信号としてバーストデータを受信時、最初のプリアンプの先頭の 1 ビットでピークディテクタ 10 のピーク検出は完了する。

【0032】ピークディテクタ 10 の出力電圧 (D) は、第 1 のコンパレータ 11 と第 2 のコンパレータ 12 に入力され、それぞれ第 1、第 2 の閾値 V_{th1} 、 V_{th2} と比較される。第 1 の閾値 V_{th1} の方が低く、第 2 の閾値 V_{th2} の方が高く設定されている。

【0033】光受信レベルが小さい時、ピークディテクタ 10 の出力電圧 (D) は第 1、第 2 の閾値 V_{th1} 、 V_{th2} を共に超えてはいない。このため第 1、第 2 のコンパレータ 11、12 の出力 (E)、(F) はともに Low レベルであり、第 1、第 2 のスイッチ 7、8 はオフ状態とされている。

【0034】次に図 3 の信号波形図を参照して、本発明の一実施例の動作について説明する。

【0035】ピークディテクタ 10 の出力電圧 (D) が、第 1 のコンパレータ 11 の閾値 V_{th1} を超えてお

り、第2のコンパレータ12の閾値 V_{th2} は超えていない。このため、第1のコンパレータ11の出力(E)はHighレベルに遷移し、これを受けて第1のスイッチ7がオンし、プリアンプ2の帰還抵抗としては、第1の帰還抵抗($R_{f1}+R_{f2}$)と第2の帰還抵抗(R_{f3})が並列接続されたものとなり、その時点から、プリアンプ2のゲインが低下する。

【0036】これにより、以後、バースト受信の終了時点まで、プリアンプ2が飽和することなく、正常な出力波形となる。

【0037】次に図4の信号波形図を参照して、本発明の一実施例の動作について説明する。

【0038】ピークディテクタ10の出力電圧(D)が、第1のコンパレータ11の閾値 V_{th1} と第2のコンパレータ12の閾値 V_{th2} の両方を超えている。このため、第1のコンパレータ11の出力(E)と第2のコンパレータ12の出力(F)が、ともにHighレベルに遷移し、第1のスイッチ7と第2のスイッチ8がオンする。このとき、プリアンプ2の帰還抵抗は、第1の帰還抵抗($R_{f1}+R_{f2}$)と、第2の帰還抵抗(R_{f3})と第3の帰還抵抗(R_{f4})とが並列接続されたものとなり、この時点から、プリアンプ2のゲインが最低に落ちる。これにより、以後バースト信号の終了時まで、プリアンプ2が飽和することなく、正常な波形が出力される。

【0039】このように本発明の一実施例では、プリアンプ2に、並列接続される第1乃至第3の帰還抵抗を設け、第2と第3の帰還抵抗はプリアンプ2の入力端と出力端間にそれぞれ第1、第2のスイッチを介して接続されており、第1、第2のスイッチをオン・オフ制御することにより、プリアンプのゲインを切替制御する構成とされ、プリアンプの出力波形のデューティ劣化が少なく広ダイナミックレンジ光受信回路を実現している。

【0040】さらにプリアンプの帰還抵抗の第1の帰還抵抗を直列接続した第1、第2の抵抗に分けて、第2の抵抗を小さい抵抗値とし、この第2の抵抗の端子間電圧をアンプで増幅し、ピークディテクタでピーク値を検出し、ピーク値の電圧レベルを第1と第2のコンパレータでそれぞれ異なる閾値と比較して受信信号のレベルを判別することにより、1ビット応答の高速AGC回路を実現している。

【0041】なお上記実施例では、プリアンプ2のゲインは、第1の帰還抵抗($R_{f1}+R_{f2}$)、第2の帰還抵抗(R_{f2})、第3の帰還抵抗(R_{f3})により決定される3値としたが、3値以外の2値、あるいは3値よりも大きなn値としてもよい。その際、たとえばn値の切り替え回路では、ピークディテクタの出力電圧をn-1個の閾値(V_{th})とそれぞれ比較する(n-1)個のコンパレータを備え、(n-1)個のコンパレータの出力でそれぞれオン・オフ制御される(n-1)個のスイッチを備え、各スイッチと帰還抵抗と接続したものを(n-1)個、プリアンプの入力端と出力端間に並列接続した構成とされる。

【0042】

【発明の効果】以上説明したように、本発明によれば、好ましくは、バースト信号のプリアンプビットのしかも先頭の1ビットで受信レベルをデジタル的に判別して前置増幅器(プリアンプ)の帰還抵抗の抵抗値をデジタル的に切り替え制御する構成としたことにより、1ビット応答の高速AGC動作を実現する、という効果を奏する。また本発明によれば、前置増幅器(プリアンプ)の出力波形のデューティ劣化が少なく広ダイナミックレンジを実現している。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示す図である。

【図2】本発明の一実施例の動作を説明するためのタイミング図であり、受信した光信号レベルが小の場合を説明する図である。

【図3】本発明の一実施例の動作を説明するためのタイミング図であり、受信した光信号レベルが中の場合を説明する図である。

【図4】本発明の一実施例の動作を説明するためのタイミング図であり、受信した光信号レベルが大の場合を説明する図である。

【符号の説明】

- 1 フォトダイオード
- 2 プリアンプ
- 3、4、5、6、 抵抗
- 7、8 スイッチ
- 9 アンプ(差動増幅器)
- 10 ピークディテクタ
- 11、12 コンパレータ

The diagram shows the R1 control circuit. It starts with a VCC supply connected to a diode (1). The signal path goes through a pre-amplifier (PRE, 2) and a resistor network (R11, R12, R13, R14, 3, 4, 5, 6). A switch (SW1, 7) and another switch (SW2, 8) are connected to the resistor network. The signal then goes through an amplifier (AMP, 9) and a pulse detector (PD, 10). The output of the pulse detector is connected to a comparator (COMP1, 11) and a comparator (COMP2, 12). The comparators are connected to threshold voltages Vth1 and Vth2. The output of the comparators is labeled 'Output' and 'Reset in'. The circuit is divided into sections (A) through (F).

(A) Reset

(B) 光入力信号

(C) 出力信号

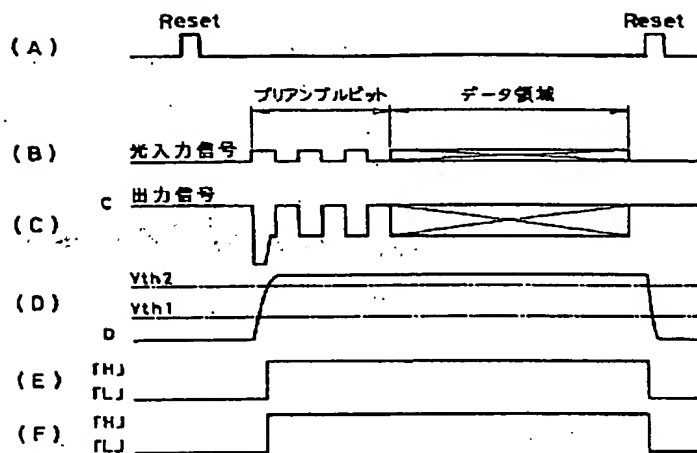
(D) V_{th2}

(D) V_{th1}

(E) [H]

(F) [L]

【図4】



フロントページの続き

(51)Int.Cl.⁷

10/26

識別記号

F I

サーチコード (参考)

THIS PAGE BLANK (USPTO)